

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: HARA, Keita et al.  
Appl. No.: New Group:  
Filed: June 22, 2000 Examiner:  
For: FILTER CIRCUIT

13  
10/14/00  
PATENT  
248-505P  
JC714 U.S. PTO  
09/598954  
06/22/00

L E T T E R

Assistant Commissioner for Patents  
Washington, DC 20231

June 22, 2000

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	11-175178	June 22, 1999
JAPAN	2000-062566	March 7, 2000

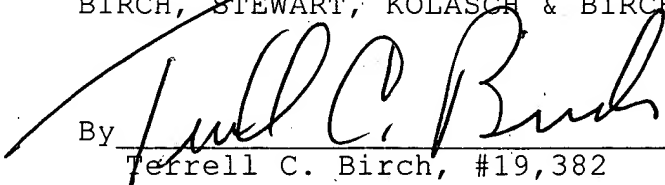
A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By

  
Terrell C. Birch, #19,382

TCB/cqc  
1248-505P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

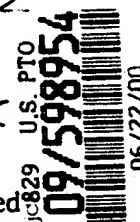
Attachment

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

BSLB  
703-205-8000  
1248-50SP  
HARA et al  
1082

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.



出願年月日  
Date of Application:

1999年 6月22日

願番号  
Application Number:

平成11年特許願第175178号

願人  
Applicant(s):

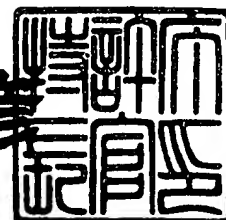
シャープ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 4月28日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3032419

【書類名】 特許願

【整理番号】 99J00289

【提出日】 平成11年 6月22日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H04J 13/02  
H03H 17/04

【発明の名称】 フィルタ回路

【請求項の数】 15

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 原 圭太

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 飯塚 邦彦

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100080034

    【弁理士】

    【氏名又は名称】 原 謙三

    【電話番号】 06-6351-4384

【手数料の表示】

    【予納台帳番号】 003229

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フィルタ回路

【特許請求の範囲】

【請求項 1】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

最終段のユニット回路以外の任意の段のユニット回路で、前段のユニット回路からの出力と自段での演算結果との加算値を低ビット量子化し、その量子化結果と、該量子化結果のデジタル／アナログ変換値を前記加算値から減算した残差とを、後続のユニット回路へ順次転送してゆくことを特徴とするフィルタ回路。

【請求項 2】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

自段での演算結果を加算手段で前段からの累算値に加算するとともに、最終段のユニット回路以外の任意の段のユニット回路で、その加算値を低ビット量子化して後続のユニット回路へ順次転送し、かつ量子化結果のデジタル／アナログ変換値を前記加算値から減算することによって、次段のユニット回路における加算手段のダイナミックレンジの拡大を抑制することを特徴とするフィルタ回路。

【請求項 3】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

最終段のユニット回路以外の任意の段のユニット回路で、自段での演算結果を前段からの累算値に加算した加算値を低ビット量子化し、その量子化結果のデジタル／アナログ変換値を前記加算値から減算した残差を求めることで、該任意の段以降のユニット回路では、前記累算値をアナログデータとデジタルデータとの合算値で表し、最終段のユニット回路からは少なくともデジタルデータで出力することを特徴とするフィルタ回路。

【請求項 4】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

自段における演算結果を、転送されてきた前段の出力と相互に加算する第 1 の加算手段と、

最終段のユニット回路および該最終段以外の任意の段のユニット回路に設けられ、前記第 1 の加算手段からの出力を低ビット量子化する量子化手段と、

自段における前記量子化手段の量子化結果を、前段までの量子化結果に加算してゆく第 2 の加算手段と、

前記量子化手段からの出力をアナログ変換するデジタル／アナログ変換手段と

前記第 1 の加算手段の出力から、前記デジタル／アナログ変換手段の出力を減算し、残差を次段のユニット回路へ出力する第 3 の加算手段とを含むことを特徴とするフィルタ回路。

【請求項 5】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

自段における演算結果を、転送されてきた前段の出力と相互に加算する第 1 の加算手段と、

最終段のユニット回路および該最終段以外の任意の段のユニット回路に設けられ、前記第 1 の加算手段からの出力を低ビット量子化する量子化手段と、

自段における前記量子化手段の量子化結果を、前段までの量子化結果に加算してゆく第 2 の加算手段と、

前記量子化手段からの出力をアナログ変換し、その出力を次段の第 1 の加算手段に与えて、自段の第 1 の加算手段の出力から減算させるデジタル／アナログ変換手段とを含むことを特徴とするフィルタ回路。

【請求項 6】

前記アナログ入力信号はスペクトラム拡散受信信号であり、前記係数は拡散符号であり、前記各演算手段は前記スペクトラム拡散受信信号と前記拡散符号との相関演算を行う相関演算器であり、スペクトラム拡散受信機に適用されて逆拡散を行うマッチトフィルタであることを特徴とする請求項 1～5 の何れかに記載のフィルタ回路。

【請求項 7】

前記演算手段の段数  $M$  は、前記拡散符号の符号長  $N$  の整数  $\phi$  倍個分設けられて

いることを特徴とする請求項 6 記載のフィルタ回路。

【請求項 8】

前記演算手段の段数  $M$  は、 $I$  成分用と  $Q$  成分用とのそれぞれに対して前記拡散符号の符号長  $N$  個分設けられており、

さらに振幅計算部を備えていることを特徴とする請求項 6 記載のフィルタ回路。

【請求項 9】

前記  $M$  段の演算手段群が  $K$  組設けられており、同一段の演算手段には相互に同一の拡散符号が設定され、各組の演算手段群には、チップ周期  $T_c$  の  $1/K$  だけ相互に位相がずれたクロック信号が与えられ、

さらに各群の最終段の演算手段からの相関出力を、前記  $T_c/K$  毎に順次選択して出力するマルチプレクサを備えていることを特徴とする請求項 6 または 8 記載のフィルタ回路。

【請求項 10】

前記演算手段は、前記  $M$  段の各段毎に  $K$  個が縦続接続されて構成されており、各演算手段には、チップ周期  $T_c$  の  $1/K$  だけ相互に位相がずれたクロック信号が与えられることを特徴とする請求項 6 または 8 記載のフィルタ回路。

【請求項 11】

最終段のデジタル／アナログ変換手段の出力を、該最終段の前記第 1 の加算手段の出力から減算し、該最終段でのアナログ残差を求める第 4 の加算手段と、

前記第 4 の加算手段からの出力をアナログ／デジタル変換する高分解能のアナログ／デジタル変換手段とをさらに備えることを特徴とする請求項 4 ～ 10 の何れかに記載のフィルタ回路。

【請求項 12】

前記各演算手段へのアナログ入力信号ラインに介在され、前記アナログ入力信号に代えて基準電圧を入力する第 1 の切換え手段と、

キャリブレーションモード時に前記各演算手段へ前記基準電圧を入力することによって現れる DC オフセット分を抽出する第 2 の切換え手段と、

前記 DC オフセット分をストアするメモリと、



相関演算モード時に、前記メモリにストアされている前記DCオフセット分を最終段の演算手段の相関出力から減算することで、オフセット補正を行う第5の加算手段とをさらに備えることを特徴とする請求項4～11の何れかに記載のフィルタ回路。

#### 【請求項13】

総ての第2の加算手段のビット数を、最終段の第2の加算手段のビット数と同一にするのではなく、初段から最終段まで段階的に前記ビット数を増加することとを特徴とする請求項4～12の何れかに記載のフィルタ回路。

#### 【請求項14】

前記量子化手段をコンパレータとし、2値または3値の量子化を行うことを特徴とする請求項4～13の何れかに記載のフィルタ回路。

#### 【請求項15】

前記係数を総て「1」として、アナログ入力信号の移動平均のアナログ／デジタル変換値を求めることを特徴とする請求項6～14の何れかに記載のフィルタ回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、連続的なアナログ入力信号をサンプリングして時系列で入力し、この時系列アナログサンプリング信号に係数を乗じて演算するフィルタ回路に関し、特にスペクトラム拡散方式を用いる無線通信装置内の受信機のマッチトフィルタとして好適に実施されるフィルタ回路に関する。

##### 【0002】

#### 【従来の技術】

従来から、前記スペクトラム拡散受信機の逆拡散手段として、マッチトフィルタが使用されている。マッチトフィルタとして、従来のNタップのマッチトフィルタの構成例を図10に示す。図10において、 $d_m$ 、 $r_m$ は、それぞれ時点mにおけるスペクトラム拡散受信信号、相関信号、 $p_n$ は周期Nの拡散符号を表わす( $n = 0, 1, 2, \dots, N-1$ )。前記拡散符号 $p_n$ の区間長(チップ区間長

を  $T_c$  として、受信信号  $d_m$  はチップ区間長  $T_c$  と等しい周期で時間的にサンプリングされているものとする。なお、拡散符号  $p_n$  において、 $p_n$  と  $p_{n+1}$  とでは、 $p_{n+1}$  の方が過去の符号を示すこととする。他の信号、たとえば受信信号  $d_m$  においては、 $d_m$  と  $d_{m+1}$  とでは、 $d_m$  の方が過去の信号を示す。

#### 【0003】

送信側において拡散を受けるデータの区間長（シンボル区間長）を  $T_s$  とすると、拡散比  $N$  はチップ区間長  $T_c$ 、シンボル区間長  $T_s$  との間に、 $N = T_s / T_c$  の関係がある。図10のように、通常のマッチトフィルタでは、タップ数  $M$  は拡散比  $N$  に等しい。以下、動作説明を簡単化するため、受信信号  $d_m$  はベースバンド帯域の信号とする。

#### 【0004】

遅延回路  $d$  は、 $N-1$  個の遅延素子  $d_i$  ( $i = 1, 2, \dots, N-1$ ) が縦続接続されて構成されており、遅延素子  $d_1$  には前記受信信号  $d_m$  が入力される。各遅延素子  $d_i$  での遅延時間は、前記チップ区間長  $T_c$  に等しい。そして、各遅延素子  $d_i$  の出力  $d_{m-i}$  および入力信号  $d_m$  のそれぞれには、乗算回路  $m_n$  で拡散符号  $p_n$  が乗算されて、乗算回路出力の総てが加算回路  $k$  にて相互に加算される。これによって、拡散符号  $p_n$  の1周期の区間  $T_s$  に対する相関信号  $r_m$  が求められる。

#### 【0005】

一般の拡散符号  $p_n$  は、「+1」か「-1」の2値しかとらないので、通常の乗算回路  $m_n$  は、加算回路  $k$  への入力の正負を拡散符号  $p_n$  に従って反転させて、前記各遅延素子  $d_i$  の出力  $d_{m-i}$  および入力信号  $d_m$  を出力する。図10の構成から理解されるように、マッチトフィルタ内部では、拡散符号  $p_n$  を固定して、チップ区間長  $T_c$  毎にずれてゆく受信信号  $d_m$  との相互相関関数を計算している。受信信号  $d_m$  と拡散符号  $p_n$  との位相が一致した時点で、相関信号  $r_m$  の絶対値は最大値となる。受信信号  $d_m$  と拡散符号  $p_n$  との周期性によって、この位相が一致する時点はシンボル区間長の前記  $T_s$  毎に訪れ、その時点が同期位相となり、同期捕捉や同期追跡に用いられる。このように、マッチトフィルタを用いる逆拡散は必ず拡散符号  $p_n$  の1周期の区間  $T_s$  周期で行えるので、受信信号

d mと拡散符号 p nとの位相を合わせる操作は不要である。

【0 0 0 6】

また、他のスペクトラム拡散受信機のマッチトフィルタとして、たとえば特開平 9 - 8 3 4 8 6 号公報には、アナログ入力信号に対し、PN符号による重み付け加算を行い、加算結果をアナログ出力信号として出力する積和演算部を設け、この積和演算部のアナログ出力を間欠的に保持し、保持したアナログ信号のピークを検出し、検出したピーク値のタイミングを決定して、このピーク値のタイミングでのみ、アナログ／デジタル変換器でアナログ信号のピーク値をデジタル化する技術が開示されている。

【0 0 0 7】

このように構成することによって、アナログ／デジタル変換器の動作速度を最小限に抑えることができ、この結果、消費電力の低減を図っている。

【0 0 0 8】

さらにまた、他のフィルタ回路として、たとえばIEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.30, No.12, DECEMBER 1995, P1350-1356の“A 20-Msample/s Switched-Capacitor Finite-Impulse-Response Filter Using a Transposed Structure.”には、switched capacitor回路を用いて図 1 1 で示すようなFIRフィルタを構成し、入力信号  $v_i$  と係数  $a_1 \sim a_4$  との乗算を行い、部分相関値をパイプライン方式で4段アナログ加算し、相関値  $v_o$  を出力する技術が開示されている。

【0 0 0 9】

上記の論文に開示された技術によれば、短いタップ数の場合の相関値を、少ない消費電力で、アナログ計算することができる。

【0 0 1 0】

さらにまた、他のフィルタ回路として、特許第 2 7 7 3 0 7 5 号公報には、電荷転送素子であるCCDをアナログシフトレジスタとして用い、相関値を出力するマッチトフィルタの技術が開示されている。このように構成することによっても、短いタップ数の場合の相関値を、少ない消費電力で、アナログ計算することができる。

## 【0011】

## 【発明が解決しようとする課題】

マッチトフィルタは、同期捕捉時間が短いという特長がある。しかしながら、回路規模が大きくなるという問題点がある。すなわち、図10の構成をデジタル回路で実現すると、加算回路kの回路規模が大きくなってしまいう問題がある。これは、デジタルの多入力加算回路は、2入力加算回路の組合わせでしか実現することができず、タップ数がNの場合は、最低でもN-1個の2入力加算回路が必要となるためである。また、チップ区間長 $T_c$ が短くなるほど高速動作が要求されるので、消費電流が増大するという問題もある。

## 【0012】

そこで、これら問題を解決するために、上記特開平9-83486号公報に記載されるように、反転増幅回路を使ったアナログマッチトフィルタが注目されつつある。

## 【0013】

しかしながら、上記特開平9-83486号公報に記載された構成では、アナログ/デジタル変換器の動作速度を抑えることで、ベースバンド処理部における消費電力を小さくできるが、アナログ信号のピークを検出するための回路が複雑になる。このように、アナログ出力信号でピーク検出した値をアナログ/デジタル変換しているので、ピーク検出が複雑であるにも関わらず、ピーク値の検出精度が低いという問題があった。したがって、アナログスペクトラム拡散受信信号を精度良く復調することができないという問題がある。

## 【0014】

また、前記図11で示す構成では、4段の少ないタップ数の例であるので、アナログ加算器k1~k4に大きなダイナミックレンジは必要ないが、マッチトフィルタとして用いるためには、256回から512回の部分相関値の加算が必要であり、このような多段の構成では、前記部分相関値が多く累積される後段側になるほど、その累積された部分相関値を飽和させないために、アナログ加算器には大きなダイナミックレンジが必要になる。このため、前記加算器での電力消費が大きいう問題がある。一方、前記部分相関値のレベルを小さくすると、加

算器のダイナミックレンジを小さくすることが可能であるけれども、相関出力  $v_o$  の後続回路での処理を簡単にするために、デジタル出力へと変換するためのアナログ／デジタル変換器に高い分解能が必要になり、その構成が複雑化して電力消費が大きくなるという問題が生じる。

## 【0015】

さらにまた、特許第 2773075 号公報に記載された構成でも、少ないタップ数の PN 符号の場合には問題が生じないけれども、実際のマッチトフィルタとして用いるためには、256 回から 512 回の部分相関値の加算が必要であり、蓄えなければならない電荷量が多くなり、S/N が劣化するという問題がある。

## 【0016】

本発明は、上記の問題点を解決するためになされたもので、その目的は、ベースバンド処理部におけるマッチトフィルタの回路規模や消費電力を小さくし、かつ回路規模や消費電力が少なくても受信信号の受信精度を向上させ、後続回路での信号処理が簡単なフィルタ回路を提供することにある。

## 【0017】

## 【課題を解決するための手段】

本発明に係るフィルタ回路は、上記の課題を解決するために、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、最終段のユニット回路以外の任意の段のユニット回路で、前段のユニット回路からの出力と自段での演算結果との加算値を低ビット量子化し、その量子化結果と、該量子化結果のデジタル／アナログ変換値を前記加算値から減算した残差とを、後続のユニット回路へ順次転送してゆくことを特徴とする。

## 【0018】

また、本発明に係るフィルタ回路は、上記の課題を解決するために、複数段の

ユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、自段での演算結果を加算手段で前段からの累算値に加算するとともに、最終段のユニット回路以外の任意の段のユニット回路で、その加算値を低ビット量子化して後続のユニット回路へ順次転送し、かつ量子化結果のデジタル／アナログ変換値を前記加算値から減算することによって、次段のユニット回路における加算手段のダイナミックレンジの拡大を抑制することを特徴とする。

## 【0019】

上記の各構成によれば、各ユニット回路は部分相関値を演算し、その累算値が所定値より大きくなる任意の段のユニット回路で、演算結果を低ビット量子化し、後段側へは、前記累算値から量子化結果のアナログ変換値を減算した残差分のアナログ信号と、量子化結果とを、順次出力してゆく。

## 【0020】

したがって、前記累算値を求める加算手段のダイナミックレンジは、各ユニット回路内で求められる部分相関値と、前段のユニット回路からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィルタとして用いるように256段や512段の多段構成としても、該加算手段の回路規模や電力消費を小さくできるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

## 【0021】

また、前記低ビット量子化およびアナログ残差の演算のための構成は、前記のとおり最終段のユニット回路以外の任意の段のユニット回路に設けられるので、要求される出力の分解能に合わせて、たとえば1段おき、または2段おき等の等間隔に間引かれてもよく、このように構成することによって、必要最小限の回路

構成で、要求機能（分解能）を満足することができる。

【0022】

さらにまた、本発明に係るフィルタ回路は、上記の課題を解決するために、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、最終段のユニット回路以外の任意の段のユニット回路で、自段での演算結果を前段からの累算値に加算した加算値を低ビット量子化し、その量子化結果のデジタル／アナログ変換値を前記加算値から減算した残差を求めることで、該任意の段以降のユニット回路では、前記累算値をアナログデータとデジタルデータとの合算値で表し、最終段のユニット回路からは少なくともデジタルデータで出力することを特徴とする。

【0023】

上記の構成によれば、各ユニット回路は部分相関値を演算し、任意の段以降では、その累算値をアナログデータとデジタルデータとの合算値で表す。すなわち、前記累算値が所定値より大きくなる任意の段のユニット回路で、演算結果を低ビット量子化し、後段側へは、前記累算値から量子化結果のアナログ変換値を減算した残差分のアナログ信号と、量子化結果とを、順次出力してゆく。

【0024】

したがって、前記累算値を求める加算手段のダイナミックレンジは、各ユニット回路内で求められる部分相関値と、前段のユニット回路からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィルタとして用いるように256段や512段の多段構成としても、該加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

## 【 0 0 2 5 】

また、本発明に係るフィルタ回路は、上記の課題を解決するために、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、自段における演算結果を、転送されてきた前段の出力と相互に加算する第 1 の加算手段と、最終段のユニット回路および該最終段以外の任意の段のユニット回路に設けられ、前記第 1 の加算手段からの出力を低ビット量子化する量子化手段と、自段における前記量子化手段の量子化結果を、前段までの量子化結果に加算してゆく第 2 の加算手段と、前記量子化手段からの出力をアナログ変換するデジタル／アナログ変換手段と、前記第 1 の加算手段の出力から、前記デジタル／アナログ変換手段の出力を減算し、残差を次段のユニット回路へ出力する第 3 の加算手段とを含むことを特徴とする。

## 【 0 0 2 6 】

上記の構成によれば、各演算手段からの部分相関値の累算値を演算するアナログの第 1 の加算手段が前記係数の設定などから飽和する虞のある 1 または複数の任意の段および最終段において量子化手段を設け、該量子化手段によって演算結果を低ビット量子化し、後段側へは、その量子化結果と、デジタル／アナログ変換手段および第 3 の加算手段によって求めた量子化による残差分のアナログ信号とを、それぞれ順次出力してゆく。カウンタなどで実現され、デジタルの加算手段であり、本構成によって増加することになる第 2 の加算手段の電力消費は、アナログの加算手段である第 1 の加算手段よりも飛躍的に小さい。

## 【 0 0 2 7 】

したがって、第 1 の加算手段のダイナミックレンジは、対応する演算手段で求められる部分相関値と、前段の第 3 の加算手段からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィ



ルタとして用いるように256段や512段の多段構成としても、該第1の加算手段の回路規模や電力消費を小さくできるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

#### 【0028】

さらにまた、本発明に係るフィルタ回路は、上記の課題を解決するために、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、自段における演算結果を、転送されてきた前段の出力と相互に加算する第1の加算手段と、最終段のユニット回路および該最終段以外の任意の段のユニット回路に設けられ、前記第1の加算手段からの出力を低ビット量子化する量子化手段と、自段における前記量子化手段の量子化結果を、前段までの量子化結果に加算してゆく第2の加算手段と、前記量子化手段からの出力をアナログ変換し、その出力を次段の第1の加算手段に与えて、自段の第1の加算手段の出力から減算させるデジタル／アナログ変換手段とを含むことを特徴とする。

#### 【0029】

上記の構成によれば、各演算手段からの部分相関値の累算値を演算するアナログの第1の加算手段が前記係数の設定などから飽和する虞のある1または複数の任意の段および最終段において量子化手段を設け、該量子化手段によって演算結果を低ビット量子化し、後段側へは、その量子化結果と、デジタル／アナログ変換手段によって求めた前記量子化結果のアナログ変換値と、前記第1の加算手段からのアナログ信号とを、それぞれ順次出力してゆく。次段の第1の加算手段で、前記量子化結果のアナログ変換値は第1の加算手段からのアナログ信号から減算され、こうして残差分のアナログ信号が求められ、その段での演算結果に加算

される。カウンタなどで実現され、デジタルの加算手段であり、本構成によって増加することになる第 2 の加算手段の電力消費は、アナログの加算手段である第 1 の加算手段よりも飛躍的に小さい。

#### 【0030】

したがって、第 1 の加算手段のダイナミックレンジは、対応する演算手段で求められる部分相関値と、前段からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィルタとして用いるように 2 5 6 段や 5 1 2 段の多段構成としても、第 1 の加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

#### 【0031】

また、本発明に係るフィルタ回路では、前記アナログ入力信号はスペクトラム拡散受信信号であり、前記係数は拡散符号であり、前記各演算手段は前記スペクトラム拡散受信信号と前記拡散符号との相関演算を行う相関演算器であり、スペクトラム拡散受信機に適用されて逆拡散を行うマッチトフィルタであることを特徴とする。

#### 【0032】

上記の構成によれば、一般に、ベースバンド処理をすべてデジタル処理にした場合、電力の多くはマッチトフィルタで消費されてしまうのに対して、前述のように構成していることによって、大部分の処理はアナログ処理となり、ベースバンド処理部における電力消費を大幅に削減することができるとともに、回路規模を小さくすることができる。

#### 【0033】

さらにまた、本発明に係るフィルタ回路では、前記演算手段の段数  $M$  は、前記拡散符号の符号長  $N$  の整数  $\phi$  倍個分設けられていることを特徴とする。

#### 【0034】

上記の構成によれば、1 シンボル周期（拡散符号の 1 周期）の  $\phi$  倍で、前記相関出力を加算平均することができ、相関値の演算精度が良くなり、スペクトラム

拡散通信における同期を、精度良く、かつ迅速に補足することができる。

【0035】

また、本発明に係るフィルタ回路では、前記演算手段の段数 $M$ は、 $I$ 成分用と $Q$ 成分用とのそれぞれに対して前記拡散符号の符号長 $N$ 個分、すなわち $2N$ 個分設けられており、さらに振幅計算部を備えていることを特徴とする。

【0036】

上記の構成によれば、スペクトラム拡散受信信号の同相成分（ $I$ 成分）と直交成分（ $Q$ 成分）とのそれぞれと、前記拡散符号との相関演算を行い、その演算結果を、振幅計算部において、たとえば2乗和の平方根またはその近似値によって振幅値を計算することによって、複素マッチトフィルタを実現することができる。

【0037】

したがって、このマッチトフィルタを含んだベースバンド処理部は、2系統のデータ列を同時に復調することができ、情報の伝送効率が良くなる。また、 $I$ 成分と $Q$ 成分との拡散符号が同じ場合には、前記係数器を共通化することで、 $I$ 成分用と $Q$ 成分用との2個のマッチトフィルタを個別に作成する場合に比べて、電力消費、回路規模とも少なくすることができる。

【0038】

さらにまた、本発明に係るフィルタ回路では、前記 $M$ 段の演算手段群が $K$ 組設けられており、同一段の演算手段には相互に同一の拡散符号が設定され、各組の演算手段群には、チップ周期 $T_c$ の $1/K$ だけ相互に位相がずれたクロック信号が与えられ、さらに各群の最終段の演算手段からの相関出力を、前記 $T_c/K$ 毎に順次選択して出力するマルチプレクサを備えていることを特徴とする。

【0039】

上記の構成によれば、たとえば $K=2$ とすると、第1の系統の各演算手段と第2の系統の各演算手段とは、相互に位相が $T_c/2$ だけずれたクロック信号が与えられる。最終段の演算手段のうち、前記クロック信号によって、スペクトラム拡散受信信号がサンプリングされて相関値の演算されている系統側の演算手段からの相関値が、マルチプレクサで選択されて、前記相関出力として出力される

## 【0040】

したがって、それぞれの演算手段が相関演算を行う周期を前記チップ周期 $T_c$ 毎の低速度動作としても、1チップ周期 $T_c$ の $1/K$ の時間間隔で、スペクトラム拡散受信信号のサンプリングが行われるので、時間的に細かく相関値の演算を行うことができる。

## 【0041】

また、本発明に係るフィルタ回路では、前記演算手段は、前記M段の各段毎にK個が縦続接続されて構成されており、各演算手段には、チップ周期 $T_c$ の $1/K$ だけ相互に位相がずれたクロック信号が与えられることを特徴とする。

## 【0042】

上記の構成によれば、たとえば $K=2$ とすると、同一の拡散符号を使用するM段の各段毎に2つの演算手段は、相互に位相が $T_c/2$ だけずれたクロック信号に応答して、スペクトラム拡散受信信号をサンプリングして相関値の演算を交互に行う。

## 【0043】

したがって、上記の構成に比べて、前記マルチプレクサを用いることなく、上記の構成と同様に、それぞれの演算手段が相関演算を行う周期を前記チップ周期 $T_c$ 毎の低速度動作としても、1チップ周期 $T_c$ の $1/K$ の時間間隔で、スペクトラム拡散受信信号のサンプリングが行われるので、時間的に細かく相関値の演算を行うことができるとともに、たとえば $K=2$ の場合にはデジタル加算値が1ビット、 $K=4$ の場合には2ビット増加し、スペクトラム拡散受信信号の同期を精度良く補足することができる。

## 【0044】

さらにまた、本発明に係るフィルタ回路は、最終段の演算手段のデジタル／アナログ変換手段の出力を、該最終段の演算手段の前記第1の加算手段の出力から減算し、該最終段でのアナログ残差を求める第4の加算手段と、前記第4の加算手段からの出力をアナログ／デジタル変換する高分解能のアナログ／デジタル変換手段とをさらに備えることを特徴とする。

## 【0045】

上記の構成によれば、最終段の演算手段で量子化できなかったアナログ残差を、高分解能のアナログ／デジタル変換手段によってデジタル変換し、相関出力の一部として用いる。

## 【0046】

したがって、前記最終段のユニット回路の第2の加算手段からの上位ビットの相関出力と、前記アナログ／デジタル変換手段からの下位ビットの相関出力とを合わせて実際の相関出力を形成するので、高精度な相関出力を得ることができる。

## 【0047】

また、本発明に係るフィルタ回路は、前記各演算手段へのアナログ入力信号ラインに介在され、前記アナログ入力信号に代えて基準電圧を入力する第1の切換え手段と、キャリブレーションモード時に前記各演算手段へ前記基準電圧を入力することによって現れるDCオフセット分を抽出する第2の切換え手段と、前記DCオフセット分をストアするメモリと、相関演算モード時に、前記メモリにストアされている前記DCオフセット分を最終段の演算手段の相関出力から減算することで、オフセット補正を行う第5の加算手段とをさらに備えることを特徴とする。

## 【0048】

上記の構成によれば、第1の切換え手段を切換えて、各演算手段に基準電圧を入力するキャリブレーションモードとすると、出力されてきた相関出力はDCオフセット分を現すことになり、これを第2の切換え手段を切換えることで、通常の相関演算モード時の出力ラインからメモリに入力し、ストアしておく。

## 【0049】

したがって、前記通常の相関演算モード時には、第5の加算手段がそのストア値を相関出力から減算することで、前記DCオフセット分を除去した高精度な相関出力を得ることができる。

## 【0050】

さらにまた、本発明に係るフィルタ回路は、総ての第2の加算手段のビット数

を、最終段の第 2 の加算手段のビット数と同一にするのではなく、初段から最終段まで段階的に前記ビット数を増加することを特徴とする。

【0 0 5 1】

上記の構成によれば、前段側の演算手段での量子化結果にその段における量子化結果を加算するカウント動作を行う第 2 の加算手段において、カウント値の小さい初段側のビット数を小さく、最終段側となるにつれて大きく設定する。

【0 0 5 2】

したがって、前記第 2 の加算手段は必要なビット数のみの構成となり、フリップフロップの回路規模を最小限にすることができる。

【0 0 5 3】

また、本発明に係るフィルタ回路は、前記量子化手段をコンパレータとし、2 値または 3 値の量子化を行うことを特徴とする。

【0 0 5 4】

上記の構成によれば、前述のように前記量子化手段は低ビットであるので、構成の簡単なコンパレータで実現する。

【0 0 5 5】

さらにまた、本発明に係るフィルタ回路は、前記係数を総て「1」として、アナログ入力信号の移動平均のアナログ／デジタル変換値を求めることを特徴とする。

【0 0 5 6】

上記の構成によれば、マッチトフィルタが同期補足を行っていない空き時間に、係数を総て「1」に切換えることによって、最終段の第 2 の加算手段からの出力がアナログ入力信号の移動平均値のアナログ／デジタル変換値を示すので、他の構成を全く変更することなく、該移動平均値のアナログ／デジタル変換値を求めることもできる。

【0 0 5 7】

【発明の実施の形態】

本発明の実施の第 1 の形態について、図 1 に基づいて説明すれば、以下のとおりである。

## 【0058】

図1は、本発明の実施の第1の形態のFIRフィルタの電氣的構成を示すブロック図である。このFIRフィルタは、前記図10で示すフィルタではなく、図11で示すフィルタを基本構成としており、N段の相関演算ユニット $F_j$  ( $j = 1, 2, \dots, N$ 、総称するときは添字 $j$ は省略する。以下同じ。)が縦続接続されて構成されている。チップ周期 $T_c$ でサンプリングされたタイミング $m$ でのアナログ入力信号 $S_m$ は、総ての相関演算ユニット $F$ に共通に入力される。

## 【0059】

各相関演算ユニット $F_j$ は、演算手段を構成する乗算器 $M_j$ および係数器 $A_j$ と、第1の加算手段である加算器 $K_{1j}$ と、量子化手段である量子化器 $Q_j$ と、第1の遅延手段である遅延器 $D_{1j}$ と、第2の遅延手段である遅延器 $D_{2j}$ と、デジタル／アナログ変換手段であるデジタル／アナログ変換器 $C_j$ と、第2の加算手段である加算器 $K_{2j}$ と、第3の遅延手段である遅延器 $D_{3j}$ と、第3の加算手段である加算器 $K_{3j}$ とを備えて構成されている。

## 【0060】

なお、最終段の相関演算ユニット $F_N$ では、遅延器 $D_{1N}$ 、 $D_{2N}$ およびデジタル／アナログ変換器 $C_N$ は、省略されてもよく、この図1は、設計の簡略化などのために、総ての相関演算ユニット $F$ を同一構成とした例を示している。

## 【0061】

各乗算器 $M_j$ は、対応する係数器 $A_j$ に予め設定されている係数 $a_j$ と前記アナログ入力信号 $S_m$ とを相互に乗算し、その乗算結果は、加算器 $K_{1j}$ において、前段の相関演算ユニット $F_{j-1}$ における後述するアナログ残差信号と相互に加算されて、量子化器 $Q_j$ で量子化される。なお、第1段目の相関演算ユニット $F_1$ における加算器 $K_{11}$ に入力されるアナログ残差信号は、基準電圧 $V_{ref}$  (図1の例では接地レベル) となっている。

## 【0062】

量子化器 $Q$ は、予め設定された基準レベルとアナログ加算値との大小を比較する1ビット出力のコンパレータで実現することができる。また、前記量子化器 $Q$ は、前記基準レベルを+側と-側とにそれぞれ設定する3値出力のコンパレータ

などであってもよく、このように低ビット出力で、低消費電力の量子化器である。

【0063】

量子化器 $Q_j$ での量子化結果は、カウンタなどで実現される加算器 $K_{2j}$ において、前段の相関演算ユニット $F_{j-1}$ の加算器 $K_{2j-1}$ からの量子化結果と相互に加算され、遅延器 $D_{3j}$ において前記チップ周期 $T_c$ だけ遅延された後、次段の相関演算ユニット $F_{j+1}$ の加算器 $K_{2j+1}$ に出力される。

【0064】

前記量子化器 $Q$ が前述のように3値出力の比較器である場合、加算器 $K_2$ は、up/downカウンタで実現することができる。すなわち、前記量子化器 $Q$ の出力が、「+1」であるときにはカウント値をインクリメントし、「-1」であるときにはカウント値をデクリメントし、「0」であるときにはカウント動作を行わない。

【0065】

また、前記量子化器 $Q_j$ での量子化結果は、遅延器 $D_{2j}$ において前記チップ周期 $T_c$ だけ遅延された後、デジタル/アナログ変換器 $C_j$ に入力されてアナログ信号に変換され、加算器 $K_{3j}$ において、遅延器 $D_{1j}$ で遅延された前記加算器 $K_{1j}$ の出力から減算され、次段の相関演算ユニット $F_{j+1}$ への前記アナログ残差信号が作成される。

【0066】

このように構成することによって、遅延器 $D_{3j}$ からのデジタル出力および加算器 $K_{3j}$ からのアナログ残差出力を合わせて考えると、時点 $m+1$ のアナログ入力信号 $S_{m+1}$ に対して、第1段目の相関演算ユニット $F_1$ は、 $(S_{m+1} * a_1)$ の部分相関値を出力する。時点 $m+2$ においては、時点 $m+1$ で出力された第1段目の相関演算ユニット $F_1$ での部分相関値は第2段目の相関演算ユニット $F_2$ に転送され、アナログ入力信号 $S_{m+2}$ に対して該第2段目の相関演算ユニット $F_2$ は、 $(S_{m+1} * a_1) + (S_{m+2} * a_2)$ となる部分相関値の累算値を出力する。同時に第1段目の相関演算ユニット $F_1$ は、 $(S_{m+2} * a_1)$ の部分相関値を出力する。



## 【0067】

時点  $m+N-1$  においては、時点  $m+N-2$  で出力された部分相関値の累算値は、最終の第  $N$  段目の相関演算ユニット  $F_N$  に転送され、該相関演算ユニット  $F_N$  は、 $(S_{m+1} * a_1) + (S_{m+2} * a_2) + \dots + (S_{m+N-1} * a_N)$  の累算値を出力する。同時に、第 1 段目の相関演算ユニット  $F_1$  は、 $(S_{m+N-1} * a_1)$  の部分相関値を出力し、第 2 段目の相関演算ユニット  $F_2$  は、 $(S_{m+N-2} * a_1) + (S_{m+N-1} * a_2)$  の累算値を出力する。

## 【0068】

つまり、常に最終第  $N$  段目の相関演算ユニット  $F_N$  のデジタル出力部分から、前記チップ周期  $T_c$  毎に、相関出力  $O_m$  が出力される。

## 【0069】

以上のように構成することによって、アナログ加算器  $K_{1j}$  のダイナミックレンジは、対応する各相関演算ユニット  $F_j$  で求められる部分相関値と、前段の相関演算ユニット  $F_{j-1}$  からの前記アナログ残差信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィルタとして用いるように  $N=256$  段や  $512$  段の多段構成としても、該加算器  $K_1$  の回路規模や電力消費を小さくすることができるとともに、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

## 【0070】

本発明の実施の第 2 の形態について、図 2 に基づいて説明すれば、以下のとおりである。

## 【0071】

図 2 は、本発明の実施の第 2 の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図 1 で示す FIR フィルタに類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このマッチトフィルタでは、前記第 3 の加算手段である加算器  $K_{3j-1}$  が、前記第 1 の加算手段である加算器  $K_{1j}$  で共用されていることである。オペアンプなどを用いて実現されるアナログの加算器  $K_{1j}$  は、3 以上の入力に対しても相互に加減算を行うことができ、アナログ信号である前記デジタル／ア

ナログ変換器  $C_{j-1}$  からの出力をこの加算器  $K_{1j}$  で減算して、前記アナログ残差信号を求めることができる。

## 【0072】

また、スペクトラム拡散受信機に適用されて逆拡散を行うマッチトフィルタであるので、前記係数器  $A_j$  は拡散符号生成手段となり、それぞれ拡散符号  $P_j$  をストアしており、該拡散符号  $P_j$  を前記乗算器  $M_j$  にチップ周期  $T_c$  毎に出力する。前記拡散符号  $P_j$  は、「+1」または「-1」の2値であり、これに対して前記係数  $a_j$  は、多値であってもよい。前記拡散符号  $P_j$  は、時間経過に係わりなく、固定値であるけれども、通信エリアなどに対応して複数種類設定可能とし、それらの1つを選択使用するようにしてもよい。

## 【0073】

さらにまた、前記アナログ入力信号  $S_m$  はスペクトラム拡散受信信号  $D_m$  となり、前記乗算器  $M_j$  は前記スペクトラム拡散受信信号  $D_m$  と前記拡散符号  $P_j$  との相関演算を行う相関演算器となり、最終段の相関演算ユニット  $F_N$  からの相関出力  $O_m$  は、相関信号  $R_m$  となる。相関演算ユニット  $F_j$  の段数  $N$  は、前記拡散符号  $P_j$  の符号長の  $N$  個分設けられている。

## 【0074】

このようにして、前記図1で示す加算器  $K_1$  の回路規模や電力消費を小さくすることができるとともに、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる  $FIR$  フィルタで、スペクトラム拡散受信機に適用されて逆拡散を行う基本的なマッチトフィルタを実現することができる。

## 【0075】

本発明の実施の第3の形態について、図3に基づいて説明すれば、以下のとおりである。

## 【0076】

図3は、本発明の実施の第3の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図2で示すマッチトフィルタに類似し、対応する部分には、同一の参照符号を付して、その説明を省略する。

注目すべきは、このマッチトフィルタでは、一部の相関演算ユニット  $F_i$  ( $i = 2, 4, \dots, N-1$ ) で、量子化器  $Q_i$  と、遅延器  $D_{2i}$  と、デジタル／アナログ変換器  $C_i$  と、加算器  $K_{3i}$  とが省略されていることである。この図 3 の例では、1 段おき、すなわち相関演算ユニット  $F_j$  の段数  $N$  に対して、 $N/2$  個が間引かれている。

## 【0077】

間引かれている相関演算ユニット  $F_i$  では、乗算器  $M_i$  が前記部分相関値を演算し、加算器  $K_{1i}$  が前段の相関演算ユニット  $F_{i-1}$  からの前記アナログ残差信号との加算値を求め、その加算値が遅延器  $D_{1i}$  において前記チップ周期  $T_c$  だけ遅延された後出力されるとともに、前段の相関演算ユニット  $F_{i-1}$  における量子化結果が遅延器  $D_{3i}$  において遅延されてスルー出力される。

## 【0078】

前記間引きの度合いは、相関信号  $R_m$  に必要な分解能に応じて決定することができ、前記 1 段おき、または 2 段おき等の等間隔であってもよく、また FIR フィルタで、係数器  $A$  に設定されている係数  $a$  が小さく、加算器  $K_1$  の飽和の虞が小さい場合などであってもよい。

## 【0079】

このようにして、相関演算ユニット  $F_i$  では、構成を簡略化することができる。ただし、最終段の相関演算ユニット  $F_N$  の加算器  $K_{2N}$  で求められる累算値の最大出力が、前記図 1 や図 2 で示すように間引きが行われない場合において  $N$  カウントであるとする、1 段おきに間引かれる場合には  $N/2$  カウントとなり、2 段おきに間引かれる場合には  $N/3$  カウントとなり、前記累算値の分解能が低くなる。したがって、要求される出力の分解能に合わせて、均等に間引くことによって、必要最小限の回路構成で、要求機能（分解能）を満足することができる。

## 【0080】

本発明の実施の第 4 の形態について、図 4 に基づいて説明すれば、以下のとおりである。

## 【0081】

図4は、本発明の実施の第4の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図2で示すマッチトフィルタに類似し、対応する部分には、同一の参照符号を付して、その説明を省略する。注目すべきは、このマッチトフィルタでは、 $H = N \times \phi$  ( $\phi$ は2以上の整数)個の相関演算ユニット $F_h$  ( $h = 1, 2, \dots, N-1, N, N+1, \dots, H-1, H$ )が設けられている。前記拡散符号 $P_n$ は、 $\phi$ 回繰返されることになり、係数器 $A_h$ は、各相関演算ユニット $F_h$ 毎に、すなわち $H$ 個のタップ数だけ設けられてもよく、また各拡散符号 $P_n$ 毎に1つ、すなわち $\phi$ 個の相関演算ユニットで共用されてもよい。

## 【0082】

このマッチトフィルタでは、1シンボル周期( $P_N$ 符号1周期)の $\phi$ 倍で、前記相関出力 $R_m$ を加算平均することになる。すなわち、時点 $m+H$ においては、第1段目の相関演算ユニット $F_1$ は、 $(D_{m+H} * P_1)$ の部分相関値を出力し、第2段目の相関演算ユニット $F_2$ は、 $(D_{m+H-1} * P_1) + (D_{m+H} * P_2)$ の累算値を出力し、最終 $H$ 段目の相関演算ユニット $F_H$ は、 $(D_{m+1} * P_1) + (D_{m+2} * P_2) + \dots + (D_{m+N} * P_N) + (D_{m+N+1} * P_1) + \dots + (D_{m+H-1} * P_{N-1}) + (D_{m+H} * P_N)$ の累算値を出力する。

## 【0083】

つまり、常に最終 $H$ 段目の相関演算ユニット $F_H$ のデジタル出力部分から、前記チップ周期 $T_c$ 毎に、加算平均された相関出力 $R_{m_{AV}}$ が出力される。したがって、相関値の演算精度が良くなり、スペクトラム拡散通信における同期を、精度良く、かつ迅速に補足することができる。

## 【0084】

図5は、本発明の実施の第5の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図2で示すマッチトフィルタに類似し、対応する部分には、同一の参照符号を付して、その説明を省略する。注目すべきは、このマッチトフィルタでは、相関演算ユニットは、前述と同様に

参照符  $F_j$  で示す第 1 の系統と、添字  $a$  を付して示す第 2 の系統との 2 系統設けられて、2 倍のオーバーサンプリングを行うことである。第 2 の系統の構成は第 1 の系統と同一に構成されており、第 2 の系統の各相関演算ユニット  $F_j a$  内の構成要素には、第 1 の系統の対応する相関演算ユニット  $F_j$  内の構成要素と同一の参照符号に、前記添字  $a$  を付して示す。ただし、オーバーサンプリングの倍数  $K$  は、この図 5 の例の 2 に限らず、他の値であってもよいことは言うまでもない。

## 【0085】

係数器  $A_j$  は、共通の拡散符号を用いる同じ段数の相関演算ユニット  $F_j$ ,  $F_j a$  間で共用されている。また、第 1 の系統の各相関演算ユニット  $F_j$  と第 2 の系統の各相関演算ユニット  $F_j a$  とには、相互に位相が  $T_c/K$  だけずれたクロック信号が与えられる。最終段の相関演算ユニット  $F_N$ ,  $F_N a$  のうち、前記クロック信号によって、スペクトラム拡散受信信号  $D_m$  がサンプリングされて相関値の演算されている系統側の相関演算ユニットからの相関値が、マルチプレクサ  $SW$  で選択されて、前記相関信号  $R_m$  として出力される。

## 【0086】

このように構成することによって、それぞれの系統の相関演算ユニット  $F_j$ ,  $F_j a$  が相関演算を行う周期を前記チップ周期  $T_c$  毎の低速度動作としても、 $K$  倍のオーバーサンプリングによる高精度な演算結果を得ることができる。

## 【0087】

本発明の実施の第 6 の形態について、図 6 に基づいて説明すれば、以下のとおりである。

## 【0088】

図 6 は、本発明の実施の第 6 の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図 5 で示すマッチトフィルタに類似している。このマッチトフィルタでは、前記第 1 の系統の各相関演算ユニット  $F_j$  には、スペクトラム拡散受信信号  $D_m$  の  $I$  信号成分  $D_m I$  が与えられ、これを参照符  $F_j I$  で示し、前記第 2 の系統の各相関演算ユニット  $F_j a$  には、スペクトラム拡散受信信号  $D_m$  の  $Q$  信号成分  $D_m Q$  が与えられ、これを参照符  $F$

$j$  Qで示す。相関演算ユニット  $F_{jI}$ ,  $F_{jQ}$  には、同一のクロック信号が与えられる。各系統の相関演算ユニット  $F_{jI}$ ,  $F_{jQ}$  からの相関信号  $R_{mI}$ ,  $R_{mQ}$  は、振幅計算部 Eにおいて、2乗和の平方根またはその近似値によって振幅値が計算され、その時点でのマッチトフィルタの振幅相関出力として、前記チップ周期  $T_c$  毎に出力される。

【0089】

このようにして、複素マッチトフィルタを実現することができる。

【0090】

この複素マッチトフィルタをオーバーサンプリング対応にするには、前記 I 信号成分  $D_{mI}$  の系統の相関演算ユニット  $F_{jI}$  と、前記 Q 信号成分  $D_{mQ}$  の系統の相関演算ユニット  $F_{jQ}$  とのそれぞれに、前記図 5 で示す手法を適用すればよい。

【0091】

本発明の実施の第 7 の形態について、図 7 に基づいて説明すれば、以下のとおりである。

【0092】

図 7 は、本発明の実施の第 7 の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、 $K$  (図 7 では  $K=2$ ) 倍のオーバーサンプリングを行うものであり、その基本構成は、前述の図 2 で示すマッチトフィルタに基づいている。各係数器  $A_j$  は、前記チップ周期  $T_c$  毎に拡散符号  $P_j$  を出力する。相関演算ユニットは  $N \times K$  個設けられており、各拡散符号  $P_j$  毎に、 $F_{j1}$ ,  $F_{j2}$ , ...,  $F_{jK}$  となっており、それらが縦続接続されている。

【0093】

また、前記図 5 のマッチトフィルタと同様に、各相関演算ユニット  $F_{j1}$ ,  $F_{j2}$ , ...,  $F_{jK}$  には、相互に位相が  $T_c/K$  だけずれたクロック信号が与えられる。したがって、時点  $m$  で相関演算ユニット  $F_{j1}$  が相関演算を行っているすると、その時点  $m$  から  $T_c/K$  だけ経過した時点  $m+1$  では相関演算ユニット  $F_{j2}$  が相関演算を行う…。

## 【0094】

このように構成することによって、前記マルチプレクサSWを用いることなく、チップ周期 $T_c$ の $1/K$ で、最終段の相関演算ユニットFNKから、前記相関信号 $R_m$ を出力することができる。また、オーバーサンプリングが加算されるので、たとえば $K=2$ の場合にはデジタル加算値が1ビット、 $K=4$ の場合には2ビット増加し、スペクトラム拡散受信信号の同期を精度良く補足することができる。

## 【0095】

本発明の実施の第8の形態について、図8に基づいて説明すれば、以下のとおりである。

## 【0096】

図8は、本発明の実施の第8の形態のマッチフィルタの電氣的構成を示すブロック図である。このマッチフィルタは、前述の図2で示すマッチフィルタに類似している。このマッチフィルタは、最終段の相関演算ユニットFNで残ったアナログ残差まで用いて、高精度な相関信号 $R_m$ を求めるものである。

## 【0097】

前記最終段の相関演算ユニットFNのデジタル／アナログ変換器CNからの出力は、第4の加算手段である加算器K0において、該相関演算ユニットFNの遅延器D1Nを介する部分相関値から減算された後、アナログ／デジタル変換手段である高分解能のアナログ／デジタル変換器C0においてアナログ／デジタル変換される。したがって、前記最終段の相関演算ユニットFNの遅延器D3Nからの上位ビットの相関出力 $R_{m1}$ と、前記アナログ／デジタル変換器C0からの下位ビットの相関出力 $R_{m2}$ とが前記相関出力 $R_m$ となる。このようにして、高精度な相関出力 $R_m$ を得ることができる。

## 【0098】

本発明の実施の第9の形態について、図9に基づいて説明すれば、以下のとおりである。

## 【0099】

図9は、本発明の実施の第9の形態のマッチフィルタの電氣的構成を示すブ

ロック図である。このマッチトフィルタは、前述の図2で示すマッチトフィルタに基づいている。このマッチトフィルタは、DCオフセットを補正するものである。

#### 【0100】

このため、各相関演算ユニット $F_j$ の乗算器 $M_j$ にスペクトラム拡散受信信号 $D_m$ を供給する信号ラインには、第1の切換え手段であるマルチプレクサ $G_1$ が介在されており、最終段の相関演算ユニット $F_N$ の遅延器 $D_{3N}$ からの出力ラインにも、第2の切換え手段であるマルチプレクサ $G_2$ が介在されている。また、前記DCオフセット分 $\Delta R_m$ をストアするメモリ $G_3$ と、前記遅延器 $D_{3N}$ からの前記DCオフセット分 $\Delta R_m$ を含む相関出力 $R_m'$ から、前記DCオフセット分 $\Delta R_m$ を減算する第5の加算手段である加算器 $K_C$ とが設けられている。

#### 【0101】

動作は、マッチトフィルタのDCオフセットを測定するキャリブレーションモードと、相関出力を測定する相関演算モードとに分かれる。前記キャリブレーションモードでは、マルチプレクサ $G_1$ によって前記スペクトラム拡散受信信号 $D_m$ に代えて基準電圧 $V_{CAL}$ を乗算器 $M_j$ の入力信号とした状態で相関演算を行い、その出力値を前記DCオフセット分 $\Delta R_m$ として、マルチプレクサ $G_2$ を介してデジタルメモリ $G_3$ にストアする。理論的には、入力が前記基準電圧 $V_{CAL}$ の場合の相関出力は0となるように設定されており、この場合の相関出力が前記DCオフセット分 $\Delta R_m$ であるとみなせる。

#### 【0102】

相関演算モードでは、マルチプレクサ $G_1$ はスペクトラム拡散受信信号 $D_m$ を乗算器 $M_j$ の入力信号として相関演算を行い、その相関出力 $R_m'$ がマルチプレクサ $G_2$ を介して加算器 $K_C$ に与えられ、該加算器 $K_C$ によって前記DCオフセット分 $\Delta R_m$ を減算する。このようにして、DCオフセット分 $\Delta R_m$ を除去した高精度な相関出力 $R_m$ を得ることができる。

#### 【0103】

なお、前記部分相関値を累算してゆく加算器 $K_{2j}$ は総てが同一の構成でなくともよく、たとえば $N=256$ とすると、加算器 $K_{21}$ は1ビットカウンタ、加



算器 K 2 2, K 2 3 は 2 ビットカウンタ、加算器 K 2 4 ~ K 2 7 は 3 ビットカウンタ、加算器 K 2 8 ~ K 2 1 5 は 4 ビットカウンタ、加算器 K 2 1 6 ~ K 2 3 1 は 5 ビットカウンタ、加算器 K 2 3 2 ~ K 2 6 3 は 6 ビットカウンタ、加算器 K 2 6 4 ~ K 2 1 2 7 は 7 ビットカウンタ、加算器 K 2 1 2 8 ~ K 2 2 5 5 は 8 ビットカウンタ、加算器 K 2 2 5 6 は 9 ビットカウンタとする。

【0 1 0 4】

このように構成した場合、必要なフリップフロップの総数は、

$$(1 \text{ bit} + 2 \times 2 \text{ bit} + 4 \times 3 \text{ bit} + 8 \times 4 \text{ bit} + 16 \times 5 \text{ bit} + 32 \times 6 \text{ bit} + 64 \times 7 \text{ bit} + 128 \times 8 \text{ bit} + 9 \text{ bit}) \times 2 = 3604$$

とすることができるのに対して、総ての加算器 K 2 1 ~ K 2 2 5 6 を 9 ビットカウンタで構成した場合、必要なフリップフロップの総数が、

$$(256 \times 9 \text{ bit}) \times 2 = 4608$$

であるので、フリップフロップの総数を 22% 削減することができる。

【0 1 0 5】

また、上記図 2 ~ 図 9 のマッチトフィルタの構成において、該マッチトフィルタが同期補足を行っていない空き時間に、総ての係数器 A 1 ~ A N に「1」を設定することによって、時点  $m + N - 1$  での相関出力  $O_m$  として、 $(S_{m+1} + S_{m+2} + \dots + S_{m+N-1})$  を出力する。すなわち、前記チップ周期  $T_c$  毎に、N 個のサンプリング値の移動平均されたアナログ/デジタル変換値を出力することもできる。

【0 1 0 6】

【発明の効果】

本発明に係るフィルタ回路は、以上のように、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、

その累算値をデジタルデータに変換して出力するようにしたフィルタ回路において、前記係数値などから、前記累算値が所定値より大きくなる最終段以外の任意の段のユニット回路で、前記累算値を低ビット量子化し、その量子化結果と、前記累算値から前記量子化結果のデジタル／アナログ変換値を減算した残差分のアナログ信号とを出力する。

## 【0107】

それゆえ、前記累算値を求める加算手段のダイナミックレンジは、各ユニット回路内で求められる部分相関値と、前段のユニット回路からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、マッチトフィルタとして用いるように多段構成としても、該加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

## 【0108】

さらにまた、本発明に係るフィルタ回路は、以上のように、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータに変換して出力するようにしたフィルタ回路において、前記係数値などから、前記累算値が所定値より大きくなる最終段以外の任意の段のユニット回路からは、前記累算値を、該累算値を量子化したデジタルデータと、該累算値から量子化結果のアナログ変換値を減算した残差分のアナログデータとの合算値で表す。

## 【0109】

それゆえ、前記累算値を求める加算手段のダイナミックレンジは、各ユニット回路内で求められる部分相関値と、前段のユニット回路からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、マッチトフィルタ

として用いるように多段構成としても、該加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

#### 【0 1 1 0】

また、本発明に係るフィルタ回路は、以上のように、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算を行い、その演算結果をチップ周期で順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータに変換して出力するようにしたフィルタ回路において、前記係数値などから、自段における演算結果を、転送されてきた前段の出力と相互に加算する第 1 の加算手段で求められる演算結果の累算値が所定値より大きくなる任意の段および最終段で、前記累算値を量子化手段で低ビット量子化し、後段側へは、その量子化結果を第 2 の加算手段で加算して出力するとともに、第 3 の加算手段で前記累算値から前記量子化結果のデジタル／アナログ変換値を減算し、その残差分のアナログ信号を出力する。

#### 【0 1 1 1】

それゆえ、第 1 の加算手段のダイナミックレンジは、対応する演算手段で求められる部分相関値と、前段の第 3 の加算手段からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、マッチトフィルタとして用いるように多段構成としても、該第 1 の加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

#### 【0 1 1 2】

さらにまた、本発明に係るフィルタ回路は、以上のように、複数段のユニット

回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算を行い、その演算結果をチップ周期で順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータに変換して出力するようにしたフィルタ回路において、前記係数値などから、自段における演算結果を、転送されてきた前段の出力と相互に加算する第1の加算手段で求められる演算結果の累算値が所定値より大きくなる任意の段および最終段で、前記累算値を量子化手段で低ビット量子化し、後段側へは、その量子化結果を第2の加算手段で加算して出力するとともに、前記第1の加算手段からのアナログ信号と、デジタル／アナログ変換手段によって求めた前記量子化結果のアナログ変換値とを出力し、次段の第1の加算手段で減算させる。

## 【0113】

それゆえ、第1の加算手段のダイナミックレンジは、対応する演算手段で求められる部分相関値と、前段のユニット回路からの残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、マッチトフィルタとして用いるように多段構成としても、該第1の加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

## 【0114】

また、本発明に係るフィルタ回路は、以上のように、前記アナログ入力信号をスペクトラム拡散受信信号とし、前記係数を拡散符号とし、前記各演算手段を前記スペクトラム拡散受信信号と前記拡散符号との相関演算を行う相関演算器としたマッチトフィルタとする。

## 【0115】

それゆえ、前述のように構成していることによって、大部分の処理がアナログ処理となり、マッチトフィルタとして、ベースバンド処理部における電力消費を

大幅に削減することができるとともに、回路規模を小さくすることができる。

【0 1 1 6】

さらにまた、本発明に係るフィルタ回路は、以上のように、前記演算手段の段数 $M$ を、前記拡散符号の符号長 $N$ の整数 $\phi$ 倍とする。

【0 1 1 7】

それゆえ、1シンボル周期（拡散符号の1周期）の $\phi$ 倍で、前記相関出力を加算平均することができ、相関値の演算精度が良くなり、スペクトラム拡散通信における同期を、精度良く、かつ迅速に補足することができる。

【0 1 1 8】

また、本発明に係るフィルタ回路は、以上のように、前記演算手段を、I成分用とQ成分用とのそれぞれに対して前記拡散符号の符号長 $N$ 個ずつ備え、スペクトラム拡散受信信号の同相成分（I成分）と直交成分（Q成分）とのそれぞれと前記拡散符号との相関演算を行い、その演算結果を振幅計算部において振幅値に計算し、複素マッチトフィルタを実現する。

【0 1 1 9】

それゆえ、2系統のデータ列を同時に復調することができ、情報の伝送効率を良くすることができる。またI成分とQ成分との拡散符号が同じ場合には、前記係数器を共通化することで、I成分用とQ成分用との2個のマッチトフィルタを個別に作成する場合に比べて、電力消費、回路規模とも少なくすることができる。

【0 1 2 0】

さらにまた、本発明に係るフィルタ回路は、以上のように、 $M$ 段の演算手段群を $K$ 組設け、同一段の演算手段には相互に同一の拡散符号を設定し、各組の演算手段群をチップ周期 $T_c$ の $1/K$ だけ相互に位相がずれたクロック信号で駆動して、各群の最終段の演算手段からの相関出力を、マルチプレクサで前記 $T_c/K$ 毎に順次選択して出力することで $K$ 倍のオーバーサンプリングを実現する。

【0 1 2 1】

それゆえ、それぞれの演算手段が相関演算を行う周期を前記チップ周期 $T_c$ 毎の低速度動作としても、時間的に細かく相関値の演算を行うことができ、スペク

トラム拡散受信信号の同期を精度良く補足することができる。

【0 1 2 2】

また、本発明に係るフィルタ回路は、以上のように、前記演算手段を、前記M段の各段毎にK個を縦続接続して構成し、各演算手段を、チップ周期 $T_c$ の $1/K$ だけ相互に位相がずれたクロック信号で駆動することによって、K倍のオーバーサンプリングを実現する。

【0 1 2 3】

それゆえ、上記の構成に比べて、前記マルチプレクサを用いることなく、時間的に細かく相関値の演算を行うことができるとともに、デジタル加算値のビット数が増加し、スペクトラム拡散受信信号の同期を精度良く補足することができる。

【0 1 2 4】

さらにまた、本発明に係るフィルタ回路は、以上のように、最終段の演算手段で量子化できなかったアナログ残差を、高分解能のアナログ／デジタル変換手段によってデジタル変換し、相関出力の一部として用いる。

【0 1 2 5】

それゆえ、前記最終段のユニット回路の第2の加算手段からの上位ビットの相関出力と、前記アナログ／デジタル変換手段からの下位ビットの相関出力とを合わせて実際の相関出力を形成するので、高精度な相関出力を得ることができる。

【0 1 2 6】

また、本発明に係るフィルタ回路は、以上のように、キャリブレーションモード時に、アナログ入力信号に代えて基準電圧を入力し、現れたDCオフセット分をメモリにストアしておき、相関演算モード時には、前記メモリにストアされている前記DCオフセット分を最終段の演算手段の相関出力から減算してオフセット補正を行う。

【0 1 2 7】

それゆえ、前記DCオフセット分を除去した高精度な相関出力を得ることができる。

【0 1 2 8】

さらにまた、本発明に係るフィルタ回路は、以上のように、前段側の演算手段での量子化結果にその段における量子化結果を加算するカウント動作を行う第2の加算手段において、カウント値の小さい初段側のビット数を小さく、最終段側となるにつれて大きく設定する。

【0 1 2 9】

それゆえ、前記第2の加算手段は必要なビット数のみの構成となり、フリップフロップの回路規模を最小限にすることができる。

【0 1 3 0】

また、本発明に係るフィルタ回路は、以上のように、前記量子化手段をコンパレータとし、2値または3値の量子化を行う。

【0 1 3 1】

それゆえ、低ビットの前記量子化手段の構成を、簡単にすることができる。

【0 1 3 2】

さらにまた、本発明に係るフィルタ回路は、以上のように、マッチトフィルタが同期補足を行っていない空き時間に、係数を総て「1」として、アナログ入力信号の移動平均のアナログ／デジタル変換値を求める。

【0 1 3 3】

それゆえ、他の構成を全く変更することなく、該移動平均値のアナログ／デジタル変換値を求めることもできる。

【図面の簡単な説明】

【図 1】

本発明の実施の第1の形態のFIRフィルタの電氣的構成を示すブロック図である。

【図 2】

本発明の実施の第2の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 3】

本発明の実施の第3の形態のマッチトフィルタの電氣的構成を示すブロック図

である。

【図 4】

本発明の実施の第 4 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 5】

本発明の実施の第 5 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 6】

本発明の実施の第 6 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 7】

本発明の実施の第 7 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 8】

本発明の実施の第 8 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 9】

本発明の実施の第 9 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 1 0】

典型的な従来技術のマッチトフィルタの電氣的構成を示すブロック図である。

【図 1 1】

他の従来技術のマッチトフィルタの電氣的構成を示すブロック図である。

【符号の説明】

A 1 ~ A N                      係数器

A H                              係数器

A 1 a ~ A N a                  係数器

C 0                      アナログ／デジタル変換器（アナログ／デジタル変換手段）

C 1 ~ C N      デジタル／アナログ変換器（デジタル／アナログ変換手段）



CH デジタル／アナログ変換器（デジタル／アナログ変換手段）

C1a～CNa

デジタル／アナログ変換器（デジタル／アナログ変換手段）

D11～D1N 遅延器

D1H 遅延器

D11a～D1Na 遅延器

D21～D2N 遅延器

D2H 遅延器

D21a～D2Na 遅延器

D31～D3N 遅延器

D3H 遅延器

D31a～D3Na 遅延器

E 振幅計算部

F1～FN 相関演算ユニット（ユニット回路）

FH 相関演算ユニット（ユニット回路）

F2a, F4a, ..., FN-1a 相関演算ユニット（ユニット回路）

F1a～FN a 相関演算ユニット（ユニット回路）

F1I～FNI; F1Q～FNQ 相関演算ユニット（ユニット回路）

F11, F12, F21, F22, FN1, FN2

相関演算ユニット（ユニット回路）

G1 マルチプレクサ（第1の切換え手段）

G2 マルチプレクサ（第2の切換え手段）

G3 メモリ

K0 加算器（第4の加算手段）

K11～K1N 加算器（第1の加算手段）

K1H 加算器（第1の加算手段）

K11a～K1Na 加算器（第1の加算手段）

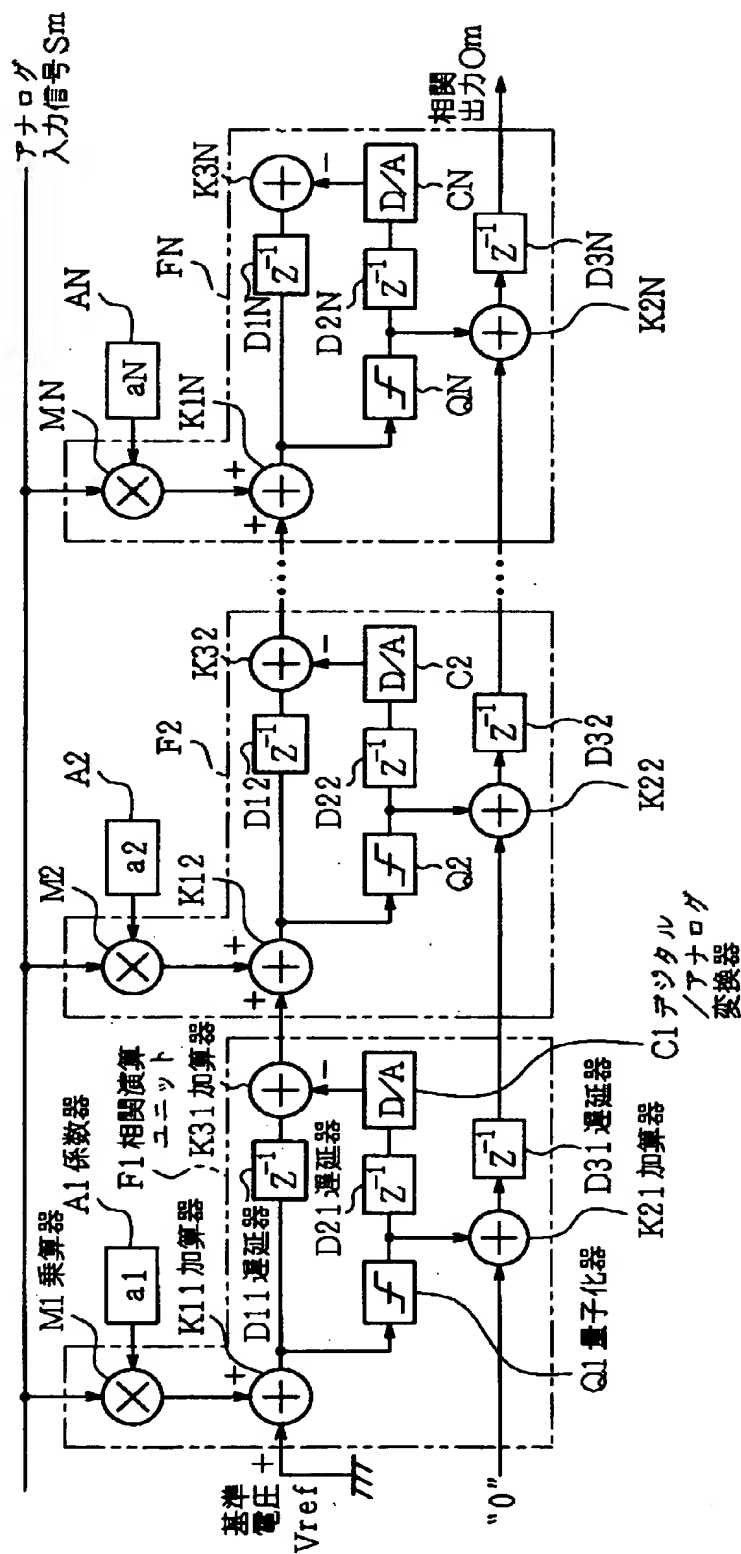
K21～K2N 加算器（第2の加算手段）

K2H 加算器（第2の加算手段）

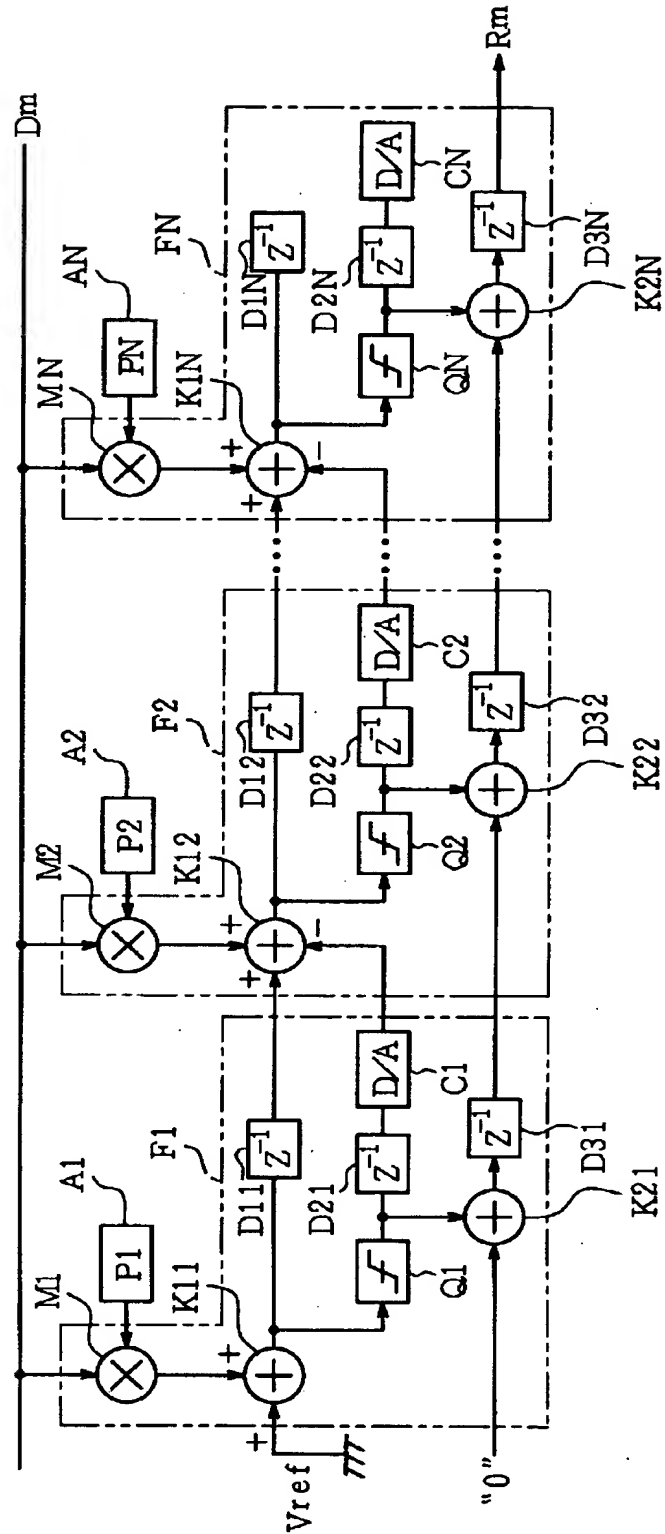
K 2 1 a ~ K 2 N a	加算器 (第 2 の加算手段)
K 3 1 ~ K 3 N	加算器 (第 3 の加算手段)
K C	加算器 (第 5 の加算手段)
M 1 ~ M N	乗算器 (演算手段)
M 1 a ~ M N a	乗算器 (演算手段)
Q 1 ~ Q N	量子化器 (量子化手段)
Q N + 1 , Q H	量子化器 (量子化手段)
Q 1 a ~ Q N a	量子化器 (量子化手段)
S W	マルチプレクサ

【書類名】 図面

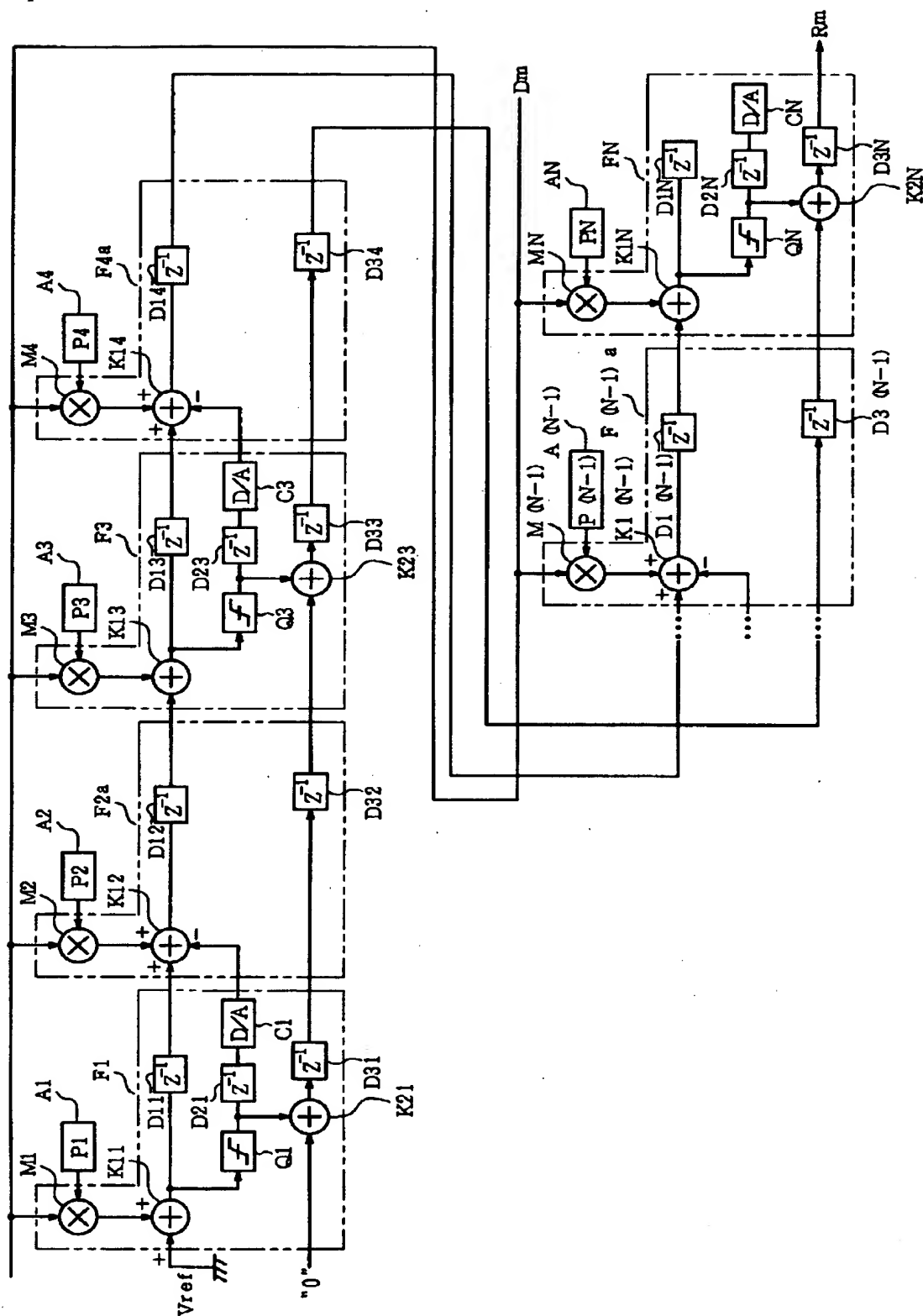
【図 1】



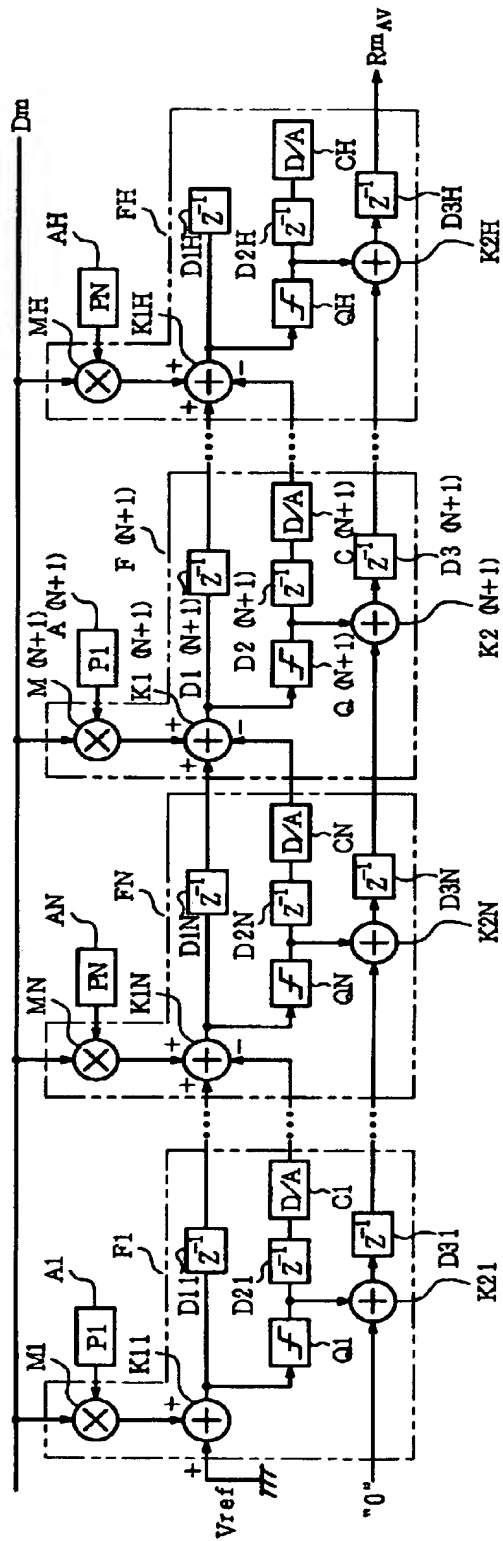
【図 2】



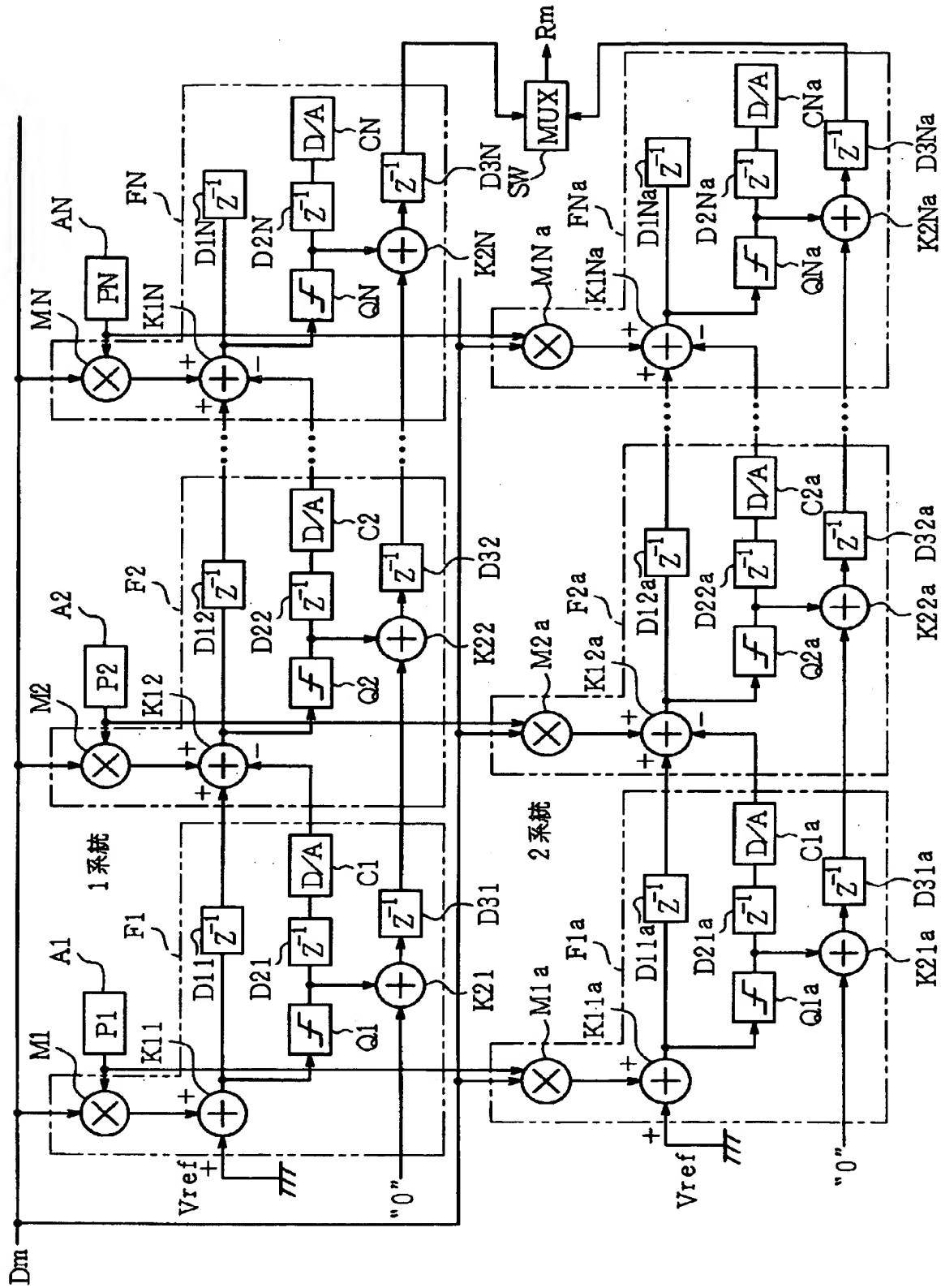
【図 3】



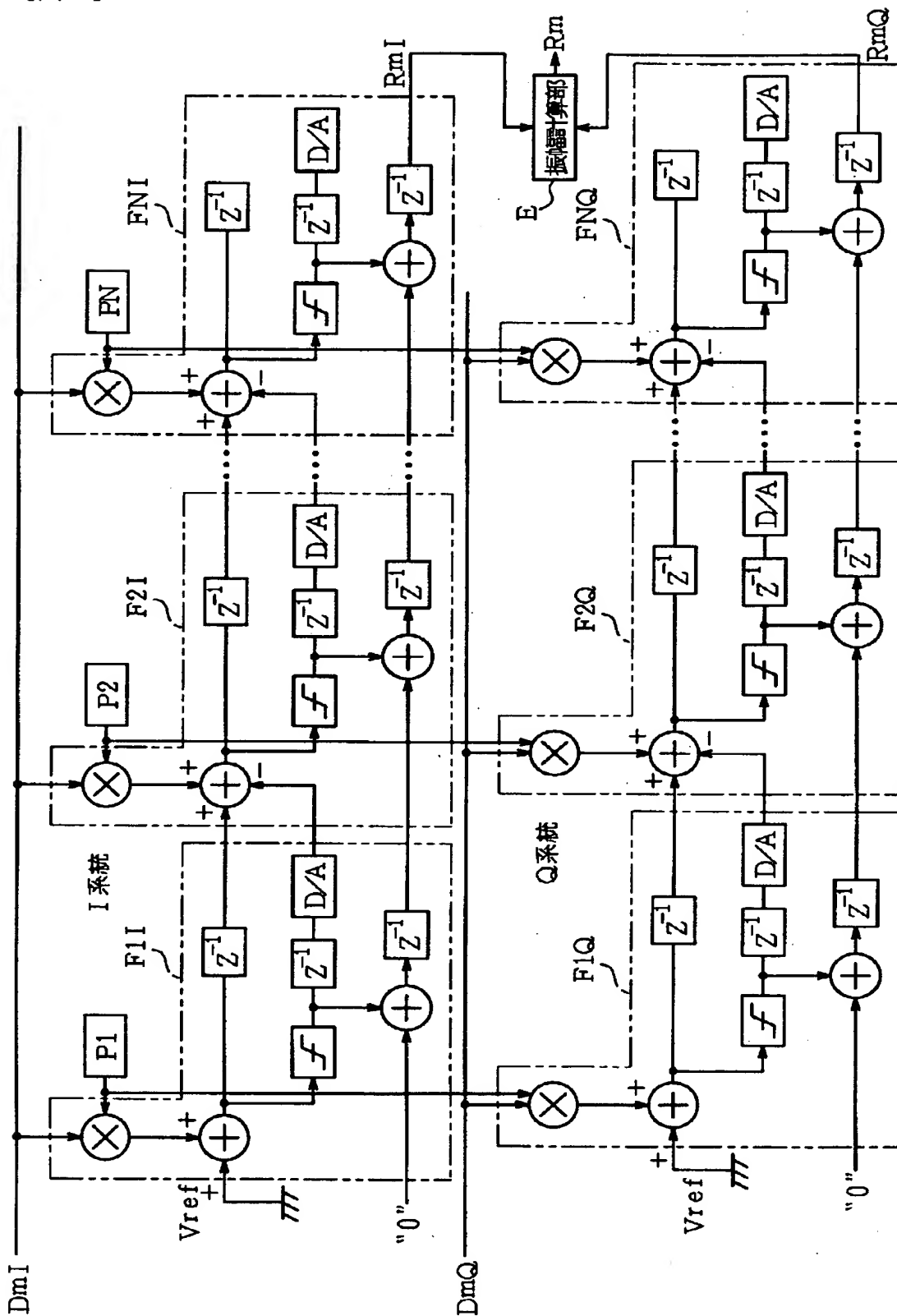
【图 4】



【図 5】

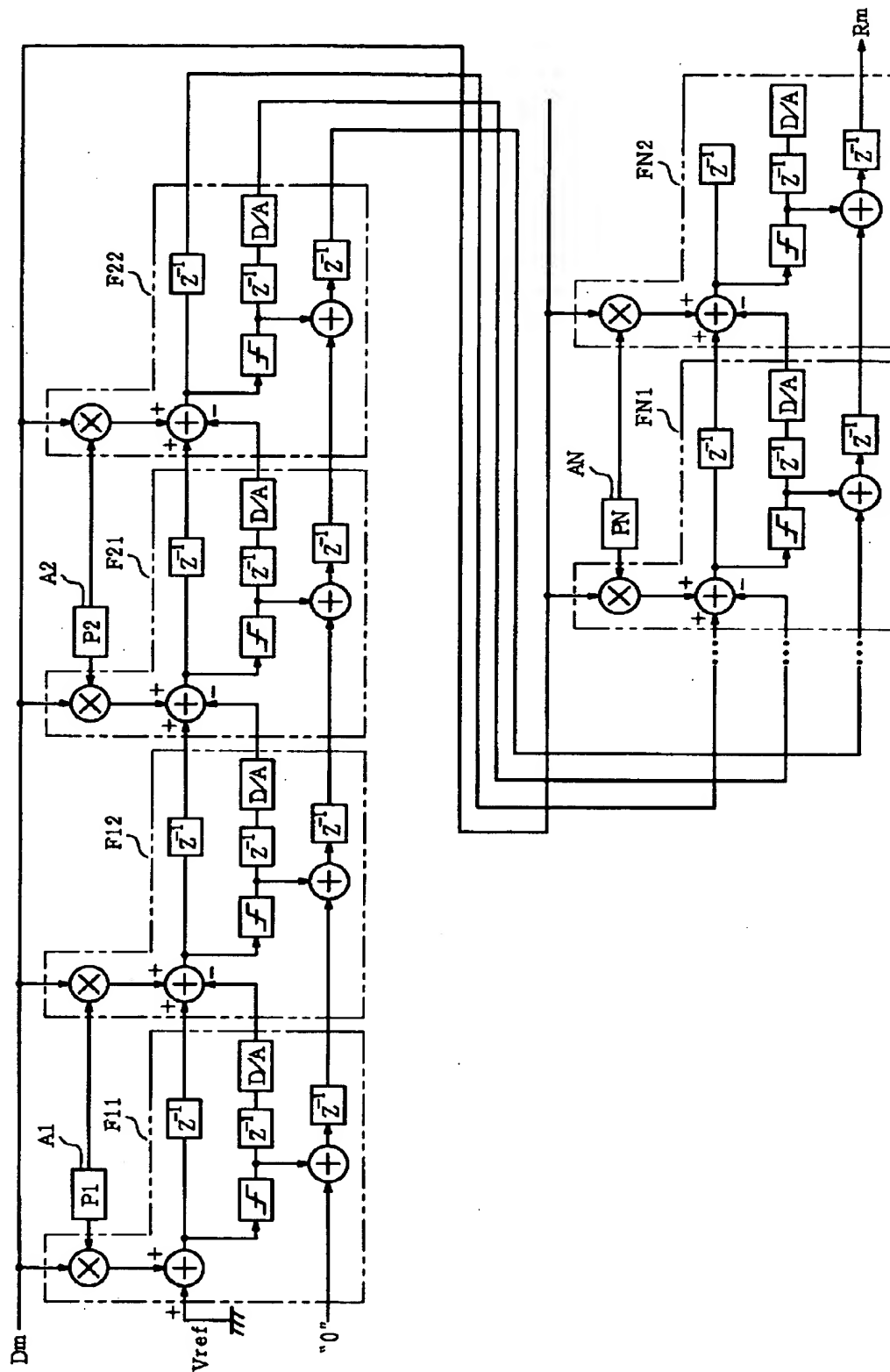


【図 6】

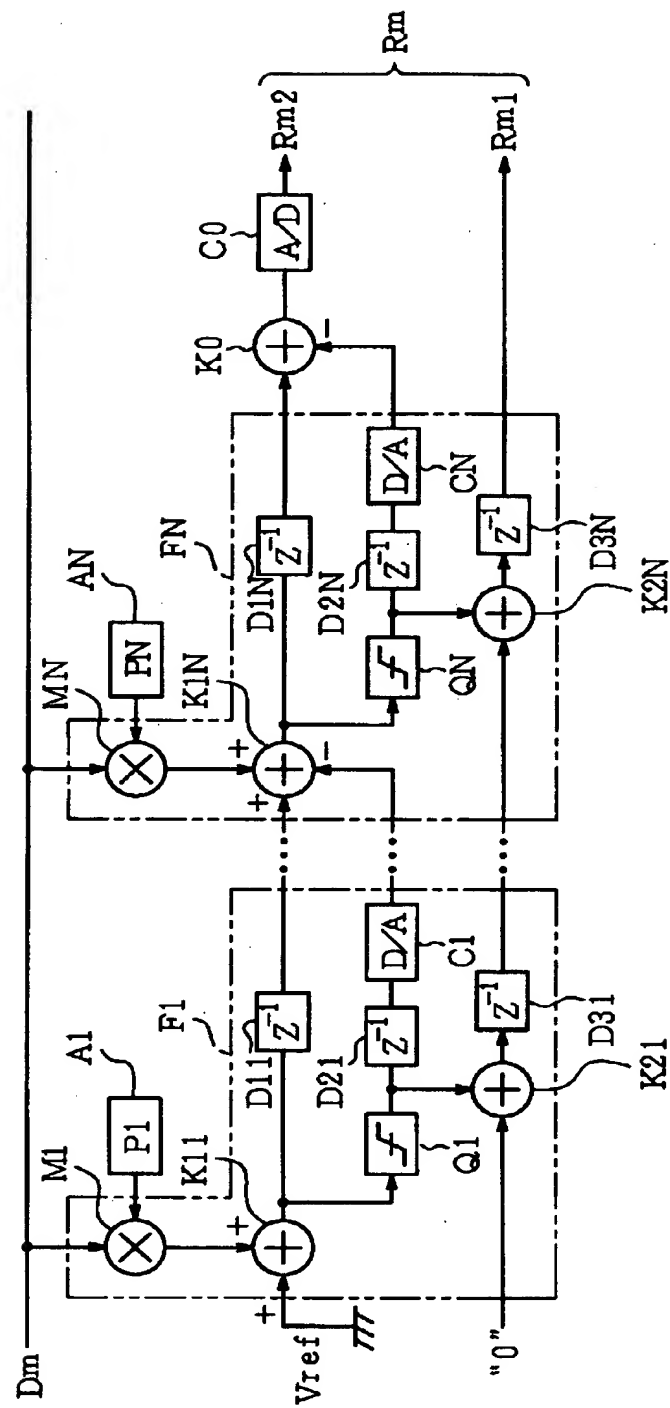




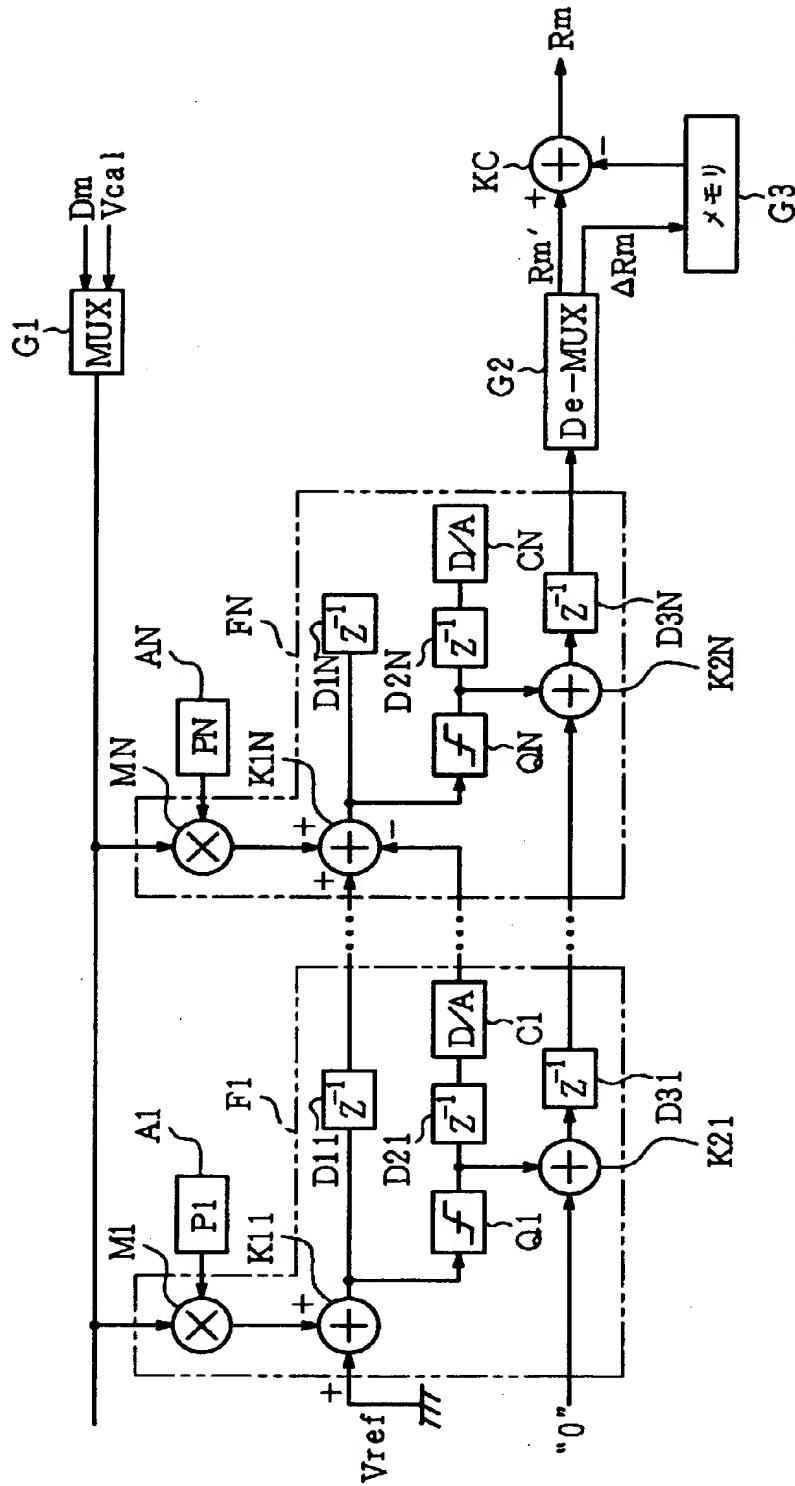
【図 7】



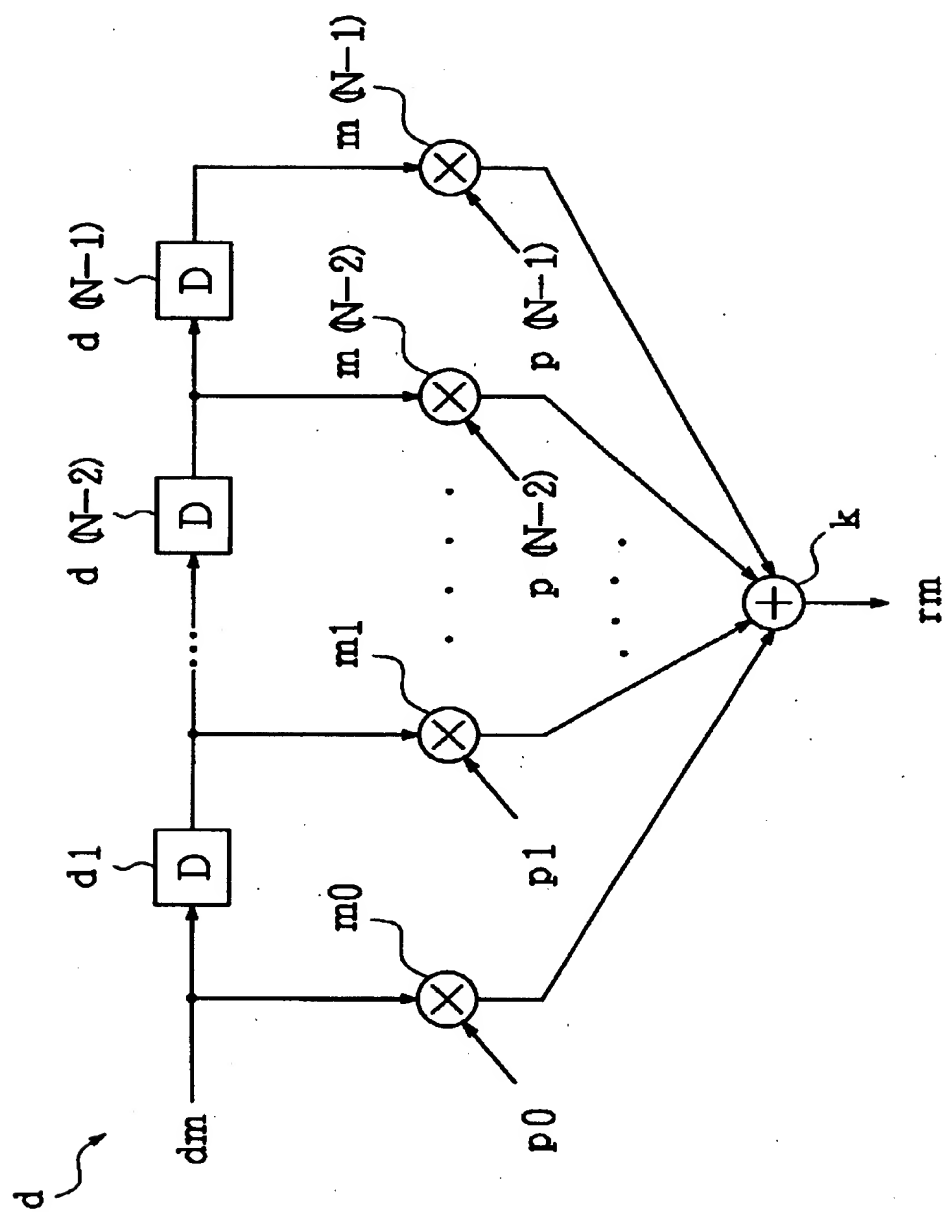
【図 8】



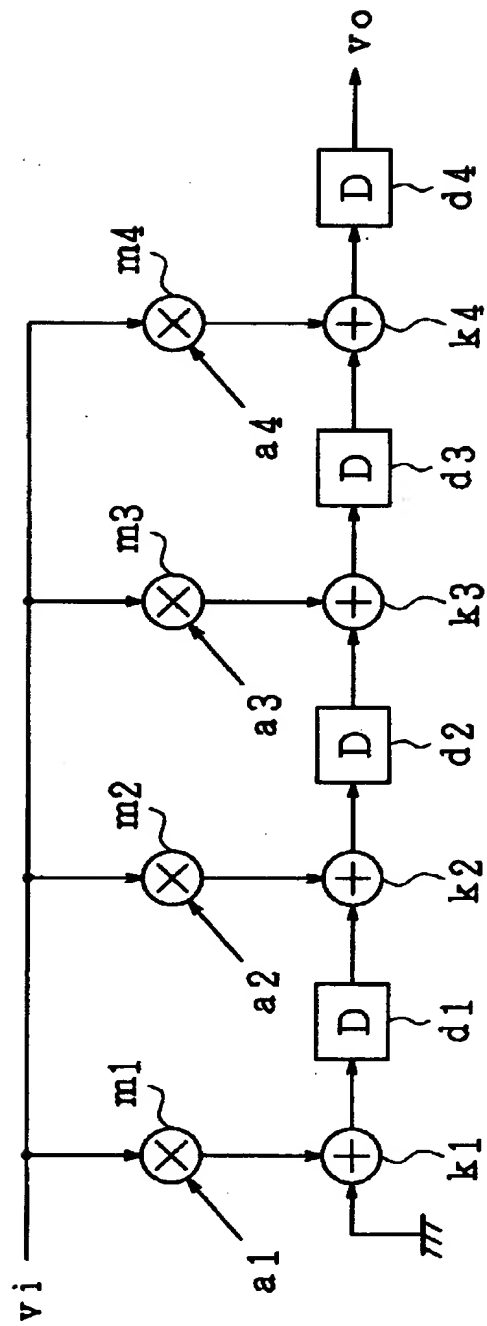
【図 9】



【図 10】



【图 1 1】



【書類名】 要約書

【要約】

【課題】 連続的なアナログ入力信号であるスペクトラム拡散受信信号  $D_m$  を時系列で入力し、この時系列データに、相関演算ユニット  $F_1 \sim F_N$  が係数器  $A_1 \sim A_N$  内の拡散符号  $P_1 \sim P_N$  をそれぞれ乗じて積算するマッチトフィルタにおいて、タップ数の増大に伴う累算値の増大によって、アナログ加算器  $K_{11} \sim K_{1N}$  が後段側でダイナミックレンジが拡大することによる電力消費を低減する。

【解決手段】 前記拡散符号  $P_1 \sim P_N$  などから、前記積算値が大きくなる任意の段のユニットにおいて、量子化器  $Q_1 \sim Q_N$  によって部分量子化値を求め、後段側のユニットへは、その部分量子化値をカウンタから成る加算器  $K_{21} \sim K_{2N}$  によって順次加算して転送してゆくとともに、次段の加算器  $K_{12} \sim K_{1N}$  では、 $D/A$  変換器  $C_1 \sim C_{N-1}$  による前記部分量子化値のアナログ変換値を前記積算値から減算したアナログ残差を求めるようにし、前記アナログ累算値の増大を抑える。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社